

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
13. Januar 2005 (13.01.2005)

PCT

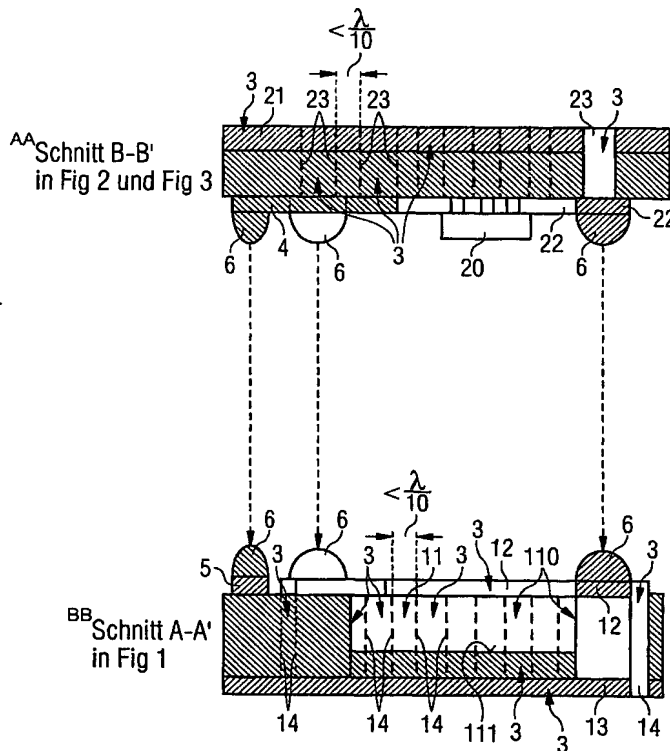
(10) Internationale Veröffentlichungsnummer  
WO 2005/004572 A1

- (51) Internationale Patentklassifikation<sup>7</sup>: H05K 9/00, 1/14 (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, 80333 München (DE).
- (21) Internationales Aktenzeichen: PCT/EP2004/051332
- (22) Internationales Anmeldedatum: 2. Juli 2004 (02.07.2004) (72) Erfinder; und (75) Erfinder/Anmelder (nur für US): LUNGWITZ, Matthias [DE/DE]; Knufstr. 27, 46397 Bocholt (DE).
- (25) Einreichungssprache: Deutsch (74) Gemeinsamer Vertreter: SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, 80506 München (DE).
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität: 103 29 879.7 2. Juli 2003 (02.07.2003) DE (81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL,

[Fortsetzung auf der nächsten Seite]

(54) Title: SHIELDING FOR EMI-ENDANGERED ELECTRONIC COMPONENTS AND/OR CIRCUITS OF ELECTRONIC DEVICES

(54) Bezeichnung: ABSCHIRMUNG FÜR EMI-GEFÄHRDETE ELEKTRONISCHE BAUELEMENTE UND/ODER SCHALTUNGEN VON ELEKTRONISCHEN GERÄTEN



AA ... SECTION B-B' IN FIG 2 AND FIG 3  
BB ... SECTION A-A' IN FIG 1

(57) Abstract: The aim of the invention is to provide shielding for EMI-endangered electronic components and/or circuits (20) of electronic devices, especially for radio transmitting devices and/or radio receiving devices of telecommunication terminals for contactless telecommunication, such as cordless telephones and mobile telephones and similar, which can be constructed without using expensive manufacturing and assembly steps without any extra space requirement. The EMI-endangered electronic components and/or circuits (20) are arranged on a separate, at least double-layered printed circuit board (2) and are embodied as a printed circuit board module. Said printed circuit board and another separate, at least two-layered printed circuit board which comprises a recess (11) for the EMI-endangered electronic components and/or circuits (10) and which is embodied in the form of a base printed circuit board (1), are joined together by soldering, preferably in the region of contact areas (12, 14, 22, 23), to form a unit such that a cage (3) is formed by the recess (11) which is disposed between two metal surfaces (13, 21) being respectively connected to the shielding surfaces (12, 22) by means of continuous, highly adjacent contacts (14, 23). The cage shields the EMI-endangered electronic components and/or circuits (20) on all sides.

[Fortsetzung auf der nächsten Seite]



AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Veröffentlicht:**

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

**(84) Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK,

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

**(57) Zusammenfassung:** Um eine Abschirmung für EMI-gefährdete elektronische Bauelemente und/oder Schaltungen (20) von elektronischen Geräten, insbesondere für Funksende- und/oder Funkempfangseinrichtungen von Telekommunikationsendgeräten zur drahtlosen Telekommunikation, wie Schnurlos- und Mobilfunktelefone und dergleichen, bereitzustellen, welche ohne aufwendige Fertigungs- und Montagearbeiten ohne zusätzlichen Raumbedarf herstellbar ist, sind die EMI-gefährdete elektronische Bauelemente und/oder Schaltungen (20) auf einer separaten, als Leiterplattenmodul ausgebildeten, mindestens zweilagigen Leiterplatte (2) angeordnet. Diese Leiterplatte und eine weitere separate, mindestens zweilagige, Nicht-EMI-gefährdete elektronische Bauelemente und/oder Schaltungen (10) und eine Ausnehmung (11) für die EMI-gefährdeten elektronischen Bauelemente und/oder Schaltungen (10) aufweisende, als Grundleiterplatte ausgebildete Leiterplatte (1) sind vorzugsweise im Bereich von Kontaktbereichen (12, 14, 22, 23) derart zu einer Einheit verbindungstechnisch, vorzugsweise durch Löten, zusammengefügt, dass durch die zwischen zwei metallischen als Masseflächen ausgebildeten Schichten (13, 21) angeordnete Ausnehmung (11), wobei die Masseflächen (13, 21) über sehr eng aneinander angeordnete Durchkontaktierungen (14, 23) jeweils mit den Abschirmflächen (12, 22) verbunden sind, ein Käfig (3) gebildet wird, der die EMI-gefährdeten elektronischen Bauelemente und/oder Schaltungen (20) nach allen Seiten hin abschirmt.

## Beschreibung

Abschirmung für EMI-gefährdete elektronische Bauelemente und/oder Schaltungen von elektronischen Geräten

5

Die vorliegende Erfindung betrifft eine Abschirmung für EMI-gefährdete elektronische Bauelemente und/oder Schaltungen von elektronischen Geräten, insbesondere für Funksende- und/oder Funkempfangseinrichtungen von Telekommunikationsendgeräten zur drahtlosen Telekommunikation, wie Schnurlos- und Mobilfunktelefone und dergleichen.

Elektronische Geräte - z.B. Geräte der Konsumgüterindustrie wie der Unterhaltungselektronik, der Kommunikationstechnik etc. z.B. Radio- und Fernsehapparate, HIFI-Anlagen, Telefone für drahtgebundene und drahtlose Kommunikation, Video-Handy's, Web- und LAN-Telefone, LAN-Adapter - weisen für die in dem jeweiligen Gerät zu realisierenden Funktionen und die dazu benötigten einzelnen Geräteteile überwiegend eine einzige Leiterplatte auf. Bei den Geräten, die mehr als zwei Leiterplatten aufweisen, wird bezüglich des Aufbaus der Leiterplatte die modulare Aufbautechnik angewandt. Die modulare Aufbautechnik kommt dabei vorzugsweise dann zum Einsatz, wenn die in dem elektronischen Gerät zu implementierenden Schaltungen und/oder Bauelemente an die hierfür vorgesehenen Leiterplatten unterschiedliche Anforderungen stellen. Der Begriff "Schaltungen" umfasst dabei Schaltungsbauteile, Schaltungselemente wie z.B. Leiterbahnstrukturen etc. und/oder Schaltungsverdrahtungen zwischen den Schaltungsbauteilen oder zwischen den Schaltungsbauteile bzw. Schaltungselementen und den Bauelementen.

So können beispielsweise in einem elektronischen HF-Schaltungen und HF-Bauelemente sowie NF-Schaltungen und NF-Bauelemente aufweisenden HF-Gerät die NF-Schaltungen und -Bauelemente aus Wirtschaftlichkeitserwägungen auf einer Leiterplatte integriert werden, die im Unterschied zu der Leiterplatte für

die HF-Schaltungen und -Bauelemente bezüglich der Leiterplattenqualität wegen der unkritischeren physikalischen Eigenschaften der NF-Schaltungen und -Bauelemente geringeren Anforderungen genügen muss. Die Leiterplatte mit den HF-Schaltungen und -Bauelementen wird daher vorzugsweise mindestens eine z.B. mehrlagige FR4-Leiterplatte sein, während die Leiterplatte mit den NF-Schaltungen und -Bauelementen vorzugsweise höchstens eine z.B. mehrlagige FR2- oder FR3-Leiterplatte sein wird.

10

Um die elektromagnetische Ein- bzw. Abstrahlung von den HF-Schaltungen und -Bauelementen auf dem FR4-leiterplattenmodul zu minimieren, wird neben dem verbesserten Leiterplattenmaterial für das HF-Modul wieder ein Abschirmelement verwendet, das die EMI-gefährdeten elektronischen Bauelemente und/oder Schaltungen selbst oder aber das gesamte FR4-Leiterplattenmodul abschirmt.

Zur Abschirmung von Electro Magnetic Interference (EMI)-gefährdeten elektronischen Bauelementen und/oder Schaltungen, beispielsweise Hoch-Frequenz (HF)-Bauelemente und/oder Hoch-Frequenz (HF)-Schaltungen, wie sie in Funksende- und/oder Funkempfangseinrichtungen von Telekommunikationsendgeräten zur drahtlosen Telekommunikation, wie Schnurlos- und Mobilfunktelefone und dergleichen zum Einsatz kommen, ist es Stand der Technik, auf die Leiterplatte der EMI-gefährdeten elektronischen Bauelemente und/oder Schaltungen zusätzlich metallische und/oder keramische Abschirmelemente aufzusetzen, welche die EMI-gefährdeten elektronischen Bauelemente und/oder Schaltungen selbst oder aber die gesamte Leiterplatte abschirmen.

Als Abschirmelemente kommen dabei gemäß der US 5,895,884, EP 0 886 464 A2, EP 0 735 811 A2 und DE 199 45 427 C1 Abschirmgehäuse bzw. Abschirmvorrichtungen zum Einsatz, die auf eine Leiterplatte gelötet sind.

Bei schnurlosen Telefonen ist es beispielsweise bekannt, das Gehäuse als Ganzes oder Rahmen bzw. Deckel des Gehäuses mit Abschirmelementen zu versehen bzw. auszubilden oder aber die HF-Bauelemente und/oder HF-Schaltungen mit becher- bzw. topf-  
5 förmigen metallischen Abschirmelementen abzudecken.

Ebenso ist es im Stand der Technik bekannt, HF-Bauelemente und/oder HF-Schaltungen mit Widerstandspasten und sogenannten Gore-Folien abzuschirmen, wobei die Gore-Folien üblicherweise  
10 zur Abschirmung von Kondensatoren verwendet werden.

Bei den vorbekannten Abschirmungen für hochfrequente elektrische Bauelemente und/oder Schaltungen ist die Verwendung zusätzlicher Abschirmelemente, sei es in Form von metallischen  
15 Abdeckungen für die hochfrequenten elektrischen Bauelemente und/oder Schaltungen oder die Verwendung von Widerstandspasten und Gore-Folien, nachteilig, da einerseits zusätzliche Fertigungs- und Montageschritte erforderlich sind und andererseits durch eine so ausgebildete Abschirmung der Raumbe-  
20 darf der hochfrequenten elektrischen Bauelemente und/oder Schaltungen vergrößert wird.

Die der Erfindung zugrundeliegende Aufgabe besteht darin, eine Abschirmung für EMI-gefährdete elektronische Bauelemente  
25 und/oder Schaltungen von elektronischen Geräten, insbesondere für Funksende- und/oder Funkempfangseinrichtungen von Telekommunikationsendgeräten zur drahtlosen Telekommunikation, wie Schnurlos- und Mobilfunktelefone und dergleichen, bereitzustellen, welche ohne aufwendige Fertigungs- und Montagearbeiten  
30 ohne zusätzlichen Raumbedarf herstellbar ist.

Diese Aufgabe wird durch die im Patentanspruch 1 angegebenen Merkmale gelöst.

35 Die der Erfindung zugrundeliegende Idee besteht darin, EMI-gefährdete elektronische Bauelemente und/oder Schaltungen von elektronischen Geräten auf einer separaten, vorzugsweise als

Leiterplattenmodul ausgebildeten, mindestens zweilagigen Leiterplatte anzuordnen. Diese Leiterplatte und eine weitere separate, mindestens zweilagige, Nicht-EMI-gefährdete elektronische Bauelemente und/oder Schaltungen und eine Ausnehmung für die EMI-gefährdeten elektronischen Bauelemente und/oder Schaltungen aufweisende, vorzugsweise als Grundleiterplatte ausgebildete Leiterplatte sind vorzugsweise im Bereich von Kontaktbereichen derart zu einer Einheit verbindungstechnisch, vorzugsweise durch Löten, zusammengefügt, dass durch die zwischen zwei metallischen als Masseflächen ausgebildeten Schichten (Leiterplattenlagen) angeordnete Ausnehmung, wobei die Masseflächen über sehr eng aneinander angeordnete Durchkontaktierungen jeweils mit den Kontaktbereichen verbunden sind, ein Käfig gebildet wird, der die EMI-gefährdeten elektronischen Bauelemente und/oder Schaltungen nach allen Seiten hin abschirmt.

Der Kontaktbereich kann entweder nur aus den darin mündenden Durchkontaktierungen gebildet sein oder er kann zusätzlich noch eine Abschirmfläche aufweisen, die mit den in den Kontaktbereich mündenden Durchkontaktierungen verbunden ist.

Bei dem Leiterplattenmodul befinden sich vorzugsweise auf der den EMI-gefährdeten Bauelementen und/oder Schaltungen abgewandten Seite die Massefläche, die das Leiterplattenmodul nahezu vollständig kaschiert, und auf der Bauelemente- und/oder Schaltungsseite der Kontaktbereich, der die Bauelemente und/oder Schaltungen umschließt. Bei der Grundleiterplatte befindet sich vorzugsweise auf der Leiterplattenseite mit der Ausnehmungsöffnung der Kontaktbereich, der die Ausnehmung umschließt, und auf der der Ausnehmungsöffnung abgewandten Leiterplattenseite die Massefläche, die die Bodenfläche der Ausnehmung flächenmäßig überragt oder mit dieser identisch ist.

Beim Zusammenfügen der beiden Leiterplatten - vorzugsweise im Bereich der Kontaktbereiche, wenn die beiden Leiterplatten übereinanderliegen, aufeinanderliegen oder sich berühren -

verschwinden die EMI-gefährdeten elektronischen Bauelemente und/oder Schaltungen in der Ausnehmung. Durch die sehr eng aneinander, vorzugsweise in einem Abstand kleiner als ein Zehntel der Wellenlänge  $\lambda$  einer von elektronischen Bauelemen-

5 ten/Schaltungen ausgehenden elektromagnetischen Strahlung angeordneten Durchkontaktierungen, die für jede Leiterplatte die jeweilige Massefläche mit dem jeweiligen Kontaktbereich verbinden wird im zusammengefügteten Zustand der Leiterplatten der Abschirmungskäfig gebildet.

10

Dies hat den Vorteil, dass das abzuschirmende Leiterplattenmodul keine weitere externe Abschirmvorrichtung benötigt und daher zusätzliche Materialkosten entfallen, weil durch den von den beiden Leiterplatten mit der Ausnehmung, den Durch-

15 kontaktierungen sowie den Masseflächen und den Kontaktbereichen gebildeten Käfig eine vergleichbare Abschirmung erreicht wird. Darüber hinaus ist nun auch eine eventuelle Reparatur auf dem Leiterplattenmodul möglich, weil in diesem Stadium der Herstellung eines Leiterplattenmoduls mit dazugehörigem

20 Bauteil und/oder dazugehöriger Schaltung noch keine Abschirmung vorhanden ist. Dies erleichtert die Kontrolle von Lötstellen auf dem Modul im Rahmen der Qualitätssicherung bzw. Fehlersuche. Ebenfalls wird die Gesamtbauhöhe des Leiterplattenmoduls reduziert, da keine zusätzliche Abschirmvorrichtung

25 auf dem Leiterplattenmodul benötigt wird.

30

Dadurch, dass die bestehende Grundleiterplatte als Abschirmung für ein Leiterplattenmodul mit EMI-gefährdeten elektronischen Bauelementen und/oder Schaltungen mitbenutzt wird,

30 entfällt die Verwendung einer zusätzlichen Abschirmvorrichtung. Dabei ist es unerheblich, ob das Leiterplattenmodul auf der Grundleiterplatte bestückt ist oder ob die Grundleiterplatte auf dem Leiterplattenmodul bestückt ist. Dies bedeutet, dass, wenn wie im erstgenannten Fall die Adhäsionskraft

35 von manchen Bauelementen und/oder Schaltungen beim nochmaligen Löten nicht ausreichend ist und sich diese infolgedessen

vom "Lötpad" ablösen, die Grundleiterplatte auf dem Leiterplattenmodul bestückt wird.

5 Eine Abschirmung für EMI-gefährdete elektronische Bauelemente und/oder Schaltungen ist insbesondere in solchen Telekommunikationsendgeräten zur drahtlosen Telekommunikation sinnvoll, in denen ein HF-Modul, z.B. eine Funksende- und/oder Funkempfangseinrichtung, oder andere Schaltungsteile mit hoher Taktfrequenz, z.B. ein Mikroprozessor, zum Einsatz kommen.

10

Weitere Einzelheiten, Merkmale und Vorteile der Erfindung werden nachfolgend anhand des in den FIGUREN 1 bis 4 dargestellten Ausführungsbeispiels näher erläutert. Dabei zeigen:

15 FIGUR 1 die Sicht auf eine für Nicht-EMI-gefährdete elektronische Bauelemente und/oder Schaltungen ausgelegte, als Grundleiterplatte ausgebildete erste Leiterplatte von der Bauelemente- und/oder Schaltungsseite aus,

20

FIGUR 2 die Sicht auf eine für EMI-gefährdete elektronische Bauelemente und/oder Schaltungen ausgelegte, als Leiterplattenmodul ausgebildete zweite Leiterplatte von der Bauelemente- und/oder Schaltungsseite aus,

25

FIGUR 3 die Sicht auf die für EMI-gefährdete elektronische Bauelemente und/oder Schaltungen ausgelegte, als Leiterplattenmodul ausgebildete zweite Leiterplatte von der der Bauelemente- und/oder Schaltungsseite abgewandten Leiterplattenseite aus,

30

FIGUR 4 die Schnittdarstellungen der ersten Leiterplatte gemäß FIGUR 1 entlang der Schnittlinie A - A' mit Blick in Pfeilrichtung und der zweiten Leiterplatte gemäß den FIGUREN 2 und 3 jeweils entlang der Schnittlinie B - B' mit Blick in Pfeilrichtung.

35



FIGUR 1 zeigt die Draufsicht auf eine vorzugsweise zweilagig, als Grundleiterplatte ausgebildete erste Leiterplatte 1, die auf einer Leiterplattenseite mit einer ersten Leiterplattenlage, stellvertretend für eine Vielzahl von Nicht-EMI-gefährdeten elektronischen Bauelementen und/oder Schaltungen ein Nicht-HF-Bauelement 10, das vorzugsweise als "Surface Mounting Device" ausgebildet ist, und auf einer gegenüberliegenden Leiterplattenseite mit einer zweiten Leiterplattenlage eine erste Massefläche 13 aufweist, die sich vorzugsweise über die gesamte Fläche der Leiterplatte 1 erstreckt. Dies ist aber, wie weiter unten erläutert wird, nicht zwingend notwendig. Da die Massefläche 13 durch die Draufsicht-Darstellung der Leiterplatte 1 in der FIGUR 1 nicht zu sehen ist, ist diese in der FIGUR 1 gestrichelt dargestellt. Die Masseflächen 13 kann vorzugsweise entweder als Vollfläche oder gerasterte Fläche mit einem Rasterabstand kleiner als ein Zehntel der Wellenlänge  $\lambda$  einer von elektronischen Bauelementen/Schaltungen ausgehenden elektromagnetischen Strahlung ausgebildet sein.

Alternativ, wenngleich nicht in der FIGUR 1 dargestellt, ist es auch möglich, dass das genannte Nicht-HF-Bauelement 10 oder weitere Bauelemente und/oder Schaltungen auf der zweiten Leiterplattenlage mit der Massefläche 13, jedoch getrennt von dieser angeordnet sind. Weiterhin ist es auch möglich, dass die Leiterplatte 1 mehr als zwei Leiterplattenlagen aufweist.

In der ersten Leiterplattenlage der Leiterplatte 1, auf der Bauelemente- und/oder Schaltungsseite, befindet sich neben dem Nicht-HF-Bauelement 10 eine Ausnehmungsöffnung 110 einer in die Leiterplatte 1 eingelassenen Ausnehmung 11. Die Ausnehmung 11 besitzt eine Bodenfläche 111, die zwischen der ersten Leiterplattenlage auf der Bauelemente- und /oder Schaltungsseite der Leiterplatte 1 und der zweiten Leiterplattenlage auf der der Bauelemente- und/oder Schaltungsseite abgewandten Leiterplattenseite liegt.

Die Bodenfläche 111 und die Massefläche 13 sind flächenmäßig derart ausgebildet, dass die Massefläche 13 in der zweiten Leiterplattenlage zumindest der Fläche der Bodenfläche 111 der Ausnehmung 11 entspricht. Anstelle in der zweiten Leiterplattenlage angeordnet zu sein, ist es auch möglich, dass  
5 sich die Massefläche 13 zwischen der zweiten Leiterplattenlage und der Bodenfläche 111 oder sogar selbst in der Ebene der Bodenfläche 111 befinden kann, wenn jeweils sichergestellt ist, dass sich zwischen der Bodenfläche 111 und der Massefläche 13 keine Leitungen bzw. Leiterbahnen verlaufen. Hierauf  
10 muss insbesondere bei Leiterplatten mit mehr als zwei Leiterplattenlagen geachtet werden.

Die Ausnehmungsöffnung 110 der Ausnehmung 11 weist in der  
15 ersten Leiterplattenlage der Leiterplatte 1 einen metallischen Öffnungsrand auf, der zum Zweck der Abschirmung, die im folgenden bei der Beschreibung der FIGUR 4 näher erläutert wird, als eine erste Abschirmfläche 12 ausgebildet ist. In dem Öffnungsrand bzw. in der Abschirmfläche 12 sind erste  
20 Aussparungen 120 für Fremdleitungen 4 (vgl. FIGUR 2) vorgesehen, die so beschaffen sind, dass die Fremdleitungen 4 ohne die Abschirmfläche 12 zu berühren, also Kontakt mit der Abschirmfläche 12 zu haben, mit Signalleitungen 5, die sich außerhalb der Abschirmfläche 12 in der ersten Leiterplattenlage  
25 der Leiterplatte 1 befinden, verbunden werden können.

Der metallische Öffnungsrand bzw. die Abschirmfläche 12 ist weiterhin mit einer Vielzahl von vorzugsweise mit Harz gefüllten, ersten Durchkontaktierungen 14 elektrisch verbunden,  
30 die mit Ausnahme des Bereichs der Aussparungen 120 jenseits (außerhalb) der gesamten Abschirmfläche 12 auf der Leiterplatte 1 angeordnet sind. Der Abstand zwischen zwei benachbarten Durchkontaktierungen 14 auf der Leiterplatte 1 ist kleiner als  $\lambda/10$ , wobei  $\lambda$  die Wellenlänge der von elektronischen Bauelementen/Schaltungen ausgehenden elektromagnetischen Strahlung ist.  
35

Die Durchkontaktierungen 14 erstrecken sich in der in FIGUR 1 dargestellten Leiterplatte 1 von der ersten Leiterplattenlage bis zur zweiten Leiterplattenlage und verbinden dabei die Abschirmfläche 12 in der ersten Leiterplattenlage mit der Massefläche 13 in der zweiten Leiterplattenlage. Es sei an dieser Stelle darauf hingewiesen, dass sich die Durchkontaktierungen 14, sobald die Massefläche 13 nicht mehr in der zweiten Leiterplattenlage liegt, sondern vielleicht in einer anderen Leiterplattenlage, die z.B. keine Außenlage ist, vorzugsweise nur bis zu dieser anderen Leiterplattenlage erstrecken.

Alternativ zu dem beschriebenen und dargestellten Aufbau der Leiterplatte 1, bei dem die Abschirmfläche 12 und die Durchkontaktierungen 14 einen ersten Kontaktbereich 12, 14 bilden, ist es auch möglich, auf die Abschirmfläche 12 zu verzichten. In diesem Fall wird der angegebene Kontaktbereich 12, 14 allein aus den Durchkontaktierungen 14 gebildet, die mit einem Ende in den Kontaktbereich münden, während sie am anderen Ende mit der Massefläche 13 verbunden sind.

FIGUR 2 zeigt die Draufsicht auf eine vorzugsweise zweilagig, als Leiterplattenmodul ausgebildete zweite Leiterplatte 2, die auf einer Leiterplattenseite mit einer ersten Leiterplattenlage, stellvertretend für eine Vielzahl von EMI-gefährdeten elektronischen Bauelementen und/oder Schaltungen ein HF-Bauelement 20, das vorzugsweise wieder als "Surface Mounting Device" ausgebildet ist, und auf einer gegenüberliegenden Leiterplattenseite mit einer zweiten Leiterplattenlage eine zweite Massefläche 21 aufweist. Da die Massefläche 21 durch die Draufsicht-Darstellung der Leiterplatte 2 in der FIGUR 2 nicht zu sehen ist, ist die Massefläche 21 und deren Ausbreitung auf der Leiterplatte 2 in FIGUR 3 gesondert dargestellt. Die Masseflächen 21 kann vorzugsweise wieder entweder als Vollfläche oder gerasterte Fläche mit einem Rasterabstand kleiner als ein Zehntel der Wellenlänge  $\lambda$  einer von elektro-

nischen Bauelementen/Schaltungen ausgehenden elektromagnetischen Strahlung ausgebildet sein.

Weiterhin ist es auch wieder möglich, dass die Leiterplatte 2 wie die Leiterplatte 1 mehr als zwei Leiterplattenlagen aufweist.

In der ersten Leiterplattenlage der Leiterplatte 2, auf der Bauelemente- und/oder Schaltungsseite, befindet sich neben dem HF-Bauelement 20 eine zweite Abschirmfläche 22, die wieder zum Zweck der bei der Beschreibung der FIGUR 4 näher erläuterten Abschirmung dient und die bezüglich der Formgebung, der Abmaße, des Umfangs und des Materials der ersten Abschirmfläche 12 in der FIGUR 1 im wesentlichen entspricht.

Das bedeutet beispielsweise, dass die Abschirmfläche 22 wie die Abschirmfläche 12 an der gleichen Stelle zweite Aussparungen 220 aufweist, die den ersten Aussparungen 120 im Wesentlichen entsprechen.

In der Abschirmfläche 22 sind die Aussparungen 220 für Signalleitungen 4 vorgesehen, die den bei der Beschreibung der FIGUR 1 erwähnten Fremdleitungen entsprechen und die die Abschirmfläche 22 nicht berühren, also keinen Kontakt mit der Abschirmfläche 22 haben.

Die Abschirmfläche 22 ist weiterhin mit einer Vielzahl von vorzugsweise ebenfalls mit Harz gefüllten, zweiten Durchkontaktierungen 23 - wie die erste Abschirmfläche 12 mit den ersten Durchkontaktierungen 14 in der FIGUR 1 - elektrisch verbunden, die mit Ausnahme des Bereichs der Aussparungen 220 im Unterschied zu den Verhältnissen bei der FIGUR 1, also nicht jenseits (außerhalb) der gesamten Abschirmfläche 12 auf der Leiterplatte 1, sondern im Bereich der gesamten Abschirmfläche 22 auf der Leiterplatte 2 angeordnet sind.

Alternativ ist es aber auch möglich, dass die Durchkontaktierungen 23 wie die Durchkontaktierungen 14 auch jenseits (außerhalb) der gesamten Abschirmfläche 22 auf der Leiterplatte 2 angeordnet sind. Umgekehrt ist es allerdings auch möglich, dass die Durchkontaktierungen 14 in der FIGUR 1 wie die Durchkontaktierungen 23 in der FIGUR 2 im Bereich der gesamten Abschirmfläche 12 auf der Leiterplatte 1 angeordnet sind

Der Abstand zwischen zwei benachbarten Durchkontaktierungen 23 auf der Leiterplatte 2 ist wieder kleiner als  $\lambda/10$ , wobei  $\lambda$  die Wellenlänge der von elektronischen Bauelementen/Schaltungen ausgehenden elektromagnetischen Strahlung ist.

Die Durchkontaktierungen 23 erstrecken sich in der in FIGUR 2 dargestellten Leiterplatte 2 von der ersten Leiterplattenlage bis zur zweiten Leiterplattenlage und verbinden dabei die Abschirmfläche 22 in der ersten Leiterplattenlage mit der Massefläche 21 in der zweiten Leiterplattenlage. Es sei an dieser Stelle darauf hingewiesen, dass sich die Durchkontaktierungen 23, sobald die Massefläche 21 nicht mehr in der zweiten Leiterplattenlage liegt, sondern vielleicht in einer anderen Leiterplattenlage, die z.B. keine Außenlage ist, vorzugsweise nur bis zu dieser anderen Leiterplattenlage erstrecken.

Alternativ zu dem beschriebenen und dargestellten Aufbau der Leiterplatte 2, bei dem die Abschirmfläche 22 und die Durchkontaktierungen 23 einen zweiten Kontaktbereich 22, 23 bilden, ist es auch möglich, auf die Abschirmfläche 22 zu verzichten. In diesem Fall wird der angegebene Kontaktbereich 22, 23 allein aus den Durchkontaktierungen 23 gebildet, die mit einem Ende in den Kontaktbereich 22, 23 münden, während sie am anderen Ende mit der Massefläche 13 verbunden sind.

FIGUR 3 zeigt ausgehend von FIGUR 2 die Draufsicht auf die vorzugsweise zweilagig, als Leiterplattenmodul ausgebildete zweite Leiterplatte 2, die auf der Leiterplattenseite mit der

- zweiten Leiterplattenlage die zweite Massefläche 21 und auf der gegenüberliegenden Leiterplattenseite mit der ersten Leiterplattenlage, stellvertretend für die Vielzahl der EMI-gefährdeten elektronischen Bauelemente und/oder Schaltungen das HF-Bauelement 20 aufweist. Da das HF-Bauelement 20 und die Signalleitungen 4 durch die Draufsicht-Darstellung der Leiterplatte 2 in der FIGUR 3 nicht zu sehen sind, sind diese in der FIGUR 3 gestrichelt dargestellt.
- Die Durchkontaktierungen 23 sind in der FIGUR 3 nicht gestrichelt eingezeichnet, weil diese durch die Massefläche 21 nicht verdeckt werden, also sichtbar sind. Dies liegt daran, dass die Durchkontaktierungen 23 prozesstechnisch erst am Schluss, also nach dem Aufbringen der Massefläche 21 auf die zweite Leiterplattenlage der Leiterplatte 2, durch Bohren der Leiterplatte 2 erzeugt werden.
- FIGUR 4 zeigt eine Querschnitts-/Explosionsdarstellung, bei der die erste Leiterplatte 1 gemäß der FIGUR 1 entlang der Schnittlinie A - A' mit Blick in Pfeilrichtung und die zweite Leiterplatte 2 gemäß den FIGUREN 2 und 3 jeweils entlang der Schnittlinie B - B' mit Blick in Pfeilrichtung im unverbundenen Zustand (Explosionszustand) dargestellt sind.
- Bezüglich der vorzugsweise als Grundleiterplatte ausgebildeten ersten Leiterplatte 1 ist zu sehen, wie die Ausnehmung 11 mit der Bodenfläche 111 und der Ausnehmungsöffnung 110 in die Leiterplatte 1 eingelassen ist und wie die Massefläche 13, die die Ausnehmungsöffnung 110 umschließende erste Abschirmfläche 12 und die im Abstand von kleiner als  $\lambda/10$  von einander entfernten ersten Durchkontaktierungen 14 zusammen mit der Ausnehmung 11 einen bezogen auf die erste Leiterplatte 1 ersten Teil eines Abschirmungskäfigs 3, sozusagen einen Abschirmkäfig 3 ohne Käfigdeckel, bilden.
- Bezüglich der vorzugsweise als Leiterplattenmodul ausgebildeten zweiten Leiterplatte 2 ist zu sehen, wie die Massefläche

21, die zur ersten Abschirmfläche 12 in der FIGUR 1 im wesentlichen deckungsgleiche zweite Abschirmfläche 22 und die wieder im Abstand von kleiner als  $\lambda/10$  von einander entfernten zweiten Durchkontaktierungen 23 einen bezogen auf die  
5 zweite Leiterplatte 2 zweiten Teil des Abschirmungskäfigs 3, sozusagen den Käfigdeckel des Abschirmkäfigs 3, bilden und wie das HF-Bauelement 20, wenn die zweite Leiterplatte 2 in Richtung der gestrichelten Pfeile auf die erste Leiterplatte 1 gelegt wird, in der Ausnehmung 11 und damit in dem Abschirmungskäfig 3 verschwindet, der das das HF-Bauelement 20 nach  
10 allen Seiten hin abschirmt.

Die beiden Leiterplatten 1, 2 werden in dem Zustand, wenn diese im Bereich der Abschirmflächen 12, 22 übereinanderliegen, aufeinanderliegen oder sich berühren, vorzugsweise durch  
15 Lötballs 6 im Bereich dieser Abschirmflächen 12, 22 miteinander verbunden. Alternativ sind aber auch andere, die gleiche Wirkung erzielende (Haftwirkung) Verbindungstechniken als das Löten, wie z.B. Kleben, möglich.

20 Sind die Abschirmflächen, wie vorstehend angedeutet nicht vorhanden, so erfolgt die Verbindung der beiden Leiterplatten 1, 2 in dem angegebenen Zustand im Bereich der Durchkontaktierungen 14, 23. Alternativ ist es aber auch möglich, die  
25 beiden Leiterplatten 1, 2 in dem angegebenen Zustand auch außerhalb der Kontaktbereiche 12, 14, 22, 23 zu verbinden.

Mit der Löt- bzw. Klebverbindung der beiden Leiterplatten 1 werden auch die Signalleitungen 4, 5 mit einander verbunden.  
30 Wegen der notwendigen elektrischen Verbindung wird hier vorzugsweise das Löten mittels der Lötballs 6 als Verbindungstechnik eingesetzt. Sollten auch hier andere mögliche Verbindungstechniken in Erwägung gezogen werden, so muss lediglich darauf geachtet werden, dass die alternative Verbindungstechnik  
35 eine elektrische Verbindung zwischen den Signalleitungen sicherstellt.

## Patentansprüche

1. Abschirmung für EMI-gefährdete elektronische Bauelemente und/oder Schaltungen von elektronischen Geräten,
- 5 dadurch gekennzeichnet, dass
- a) eine mindestens zweilagige erste Leiterplatte (1) für Nicht-EMI-gefährdete elektronische Bauelemente und/oder Schaltungen (10) vorhanden ist, die eine Ausnehmung (11) mit einer Ausnehmungsöffnung (110) und einer Bodenfläche (111)
- 10 aufweist und auf der die Nicht-EMI-gefährdeten elektronischen Bauelemente und/oder Schaltungen (10) zumindest einseitig angeordnet sind,
- b) die erste Leiterplatte (1) auf der Leiterplattenseite mit der Ausnehmungsöffnung (110) einen die Ausnehmungsöffnung
- 15 (110) umschließenden ersten Kontaktbereich (12, 14) aufweist,
- c) die erste Leiterplatte (1) auf einer Leiterplattenlage, die zwischen der Bodenfläche (111) der Ausnehmung (11) und der der Ausnehmungsöffnung (110) abgewandten Leiterplatten-
- 20 seite oder in der Ebene der Bodenfläche (111) oder in der Ebene der der Ausnehmungsöffnung (110) abgewandten Leiterplattenseite liegt, eine erste Massefläche (13) aufweist, die flächenmäßig zumindest der Fläche der Bodenfläche (111) der Ausnehmung (11) entspricht,
- d) die Nicht-EMI-gefährdeten elektronischen Bauelemente und/oder Schaltungen (10) außerhalb der Ausnehmung (11) jenseits des ersten Kontaktbereiches (12, 14) bzw. der ersten
- 25 Massefläche (13) angeordnet sind,
- e) eine mindestens zweilagige zweite Leiterplatte (2) für EMI-gefährdete elektronische Bauelemente und/oder Schaltungen
- 30 (20) vorhanden ist, auf der die EMI-gefährdeten elektronischen Bauelemente und/oder Schaltungen (20) einseitig angeordnet sind,
- f) die zweite Leiterplatte (2) auf einer Leiterplattenlage, die zwischen der Bauelemente-/Schaltungsseite und der der Bauelemente-/Schaltungsseite abgewandten Leiterplattenseite
- 35 oder in der Ebene der der Bauelemente-/Schaltungsseite abgewandten Leiterplattenseite liegt, eine flächenmäßig im we-



- sentlichen der Grundfläche der zweiten Leiterplatte (2) entsprechende zweite Massefläche (21) aufweist,
- g) die zweite Leiterplatte (2) auf der Bauelemente-/Schaltungsseite einen die EMI-gefährdeten elektronischen Bauelemente und/oder Schaltungen (20) umschließenden zweiten Kontaktbereich (22, 23) aufweist,
- h) die zweite Leiterplatte (2) derart auf der ersten Leiterplatte (1) angeordnet ist, dass diese verbindungstechnisch, insbesondere durch Löten, zusammengefügt sind und dabei die EMI-gefährdeten elektronischen Bauelemente und/oder Schaltungen (20) auf der zweiten Leiterplatte (2) in der Ausnehmung (11) der ersten Leiterplatte (1) verschwinden,
- i) Durchkontaktierungen (14, 23) auf den beiden Leiterplatten (1, 2) vorhanden sind, die für jede Leiterplatte (1, 2) jeweils an einem Ende mit der jeweilige Massefläche (13, 21) verbunden sind und mit dem anderen Ende jeweils in den jeweiligen Kontaktbereich (12, 14, 22, 23) münden und dabei derart angeordnet sind, dass die Durchkontaktierungen (14, 23) zusammen mit der Ausnehmung (11) und den Masseflächen (13, 21) einen Käfig (3) bilden, in dem die in der Ausnehmung (11) befindlichen EMI-gefährdeten elektronischen Bauelemente und/oder Schaltungen (20) nach allen Seiten hin abgeschirmt sind.
2. Abschirmung nach Anspruch 1, dadurch gekennzeichnet, dass die Durchkontaktierungen (14, 23) in einem Abstand kleiner als ein Zehntel der Wellenlänge  $\lambda$  einer von elektronischen Bauelementen/Schaltungen ausgehenden elektromagnetischen Strahlung voneinander angeordnet sind.
3. Abschirmung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Durchkontaktierungen (14, 23) die Masseflächen (13, 21) durchstoßen.
4. Abschirmung nach Anspruch 1, 2 oder 3, dadurch gekennzeichnet, dass die Durchkontaktierungen (14, 23) mit einem Füllmaterial, vorzugsweise Harz, gefüllt sind.

5. Abschirmung nach Anspruch 1, dadurch gekennzeichnet, dass die Kontaktbereiche (12, 14, 22, 23) jeweils mindestens an zwei Stellen jeweils zwischen zwei Durchkontaktierungen (14, 23) für erste Signalleitungen (4) zum Zu- und Abführen von Signalen zu bzw. von den EMI-gefährdeten elektronischen Bauelemente und/oder Schaltungen (20) auf der zweiten Leiterplatte (2) durch Aussparungen (120, 220) unterbrochen sind, so dass die ersten Signalleitungen (4), wenn die beiden Leiterplatten (1, 2) verbindungstechnisch zusammengefügt sind und sich die EMI-gefährdeten elektronischen Bauelemente und/oder Schaltungen (20) in der Ausnehmung (11) befinden, mit zweiten Signalleitungen (5) außerhalb der Ausnehmung (11) auf der ersten Leiterplatte (1) elektrisch verbunden sind.

6. Abschirmung nach Anspruch 1 oder 3, dadurch gekennzeichnet, dass die Masseflächen (13, 21) als Vollflächen oder gerasterte Flächen mit einem Rasterabstand kleiner als ein Zehntel der Wellenlänge  $\lambda$  einer von elektronischen Bauelementen/Schaltungen ausgehenden elektromagnetischen Strahlung ausgebildet sind.

7. Abschirmung nach Anspruch 1, dadurch gekennzeichnet, dass die Nicht-EMI-gefährdeten und EMI-gefährdeten elektronischen Bauelemente (10, 20) als "Surface Mounting Devices" ausgebildet sind.

8. Abschirmung nach Anspruch 1, dadurch gekennzeichnet, dass die Nicht-EMI-gefährdeten und EMI-gefährdeten elektronischen Schaltungen (10, 20) Schaltungsbausteine, Schaltungselemente und/oder Schaltungsverdrahtungen beinhalten.

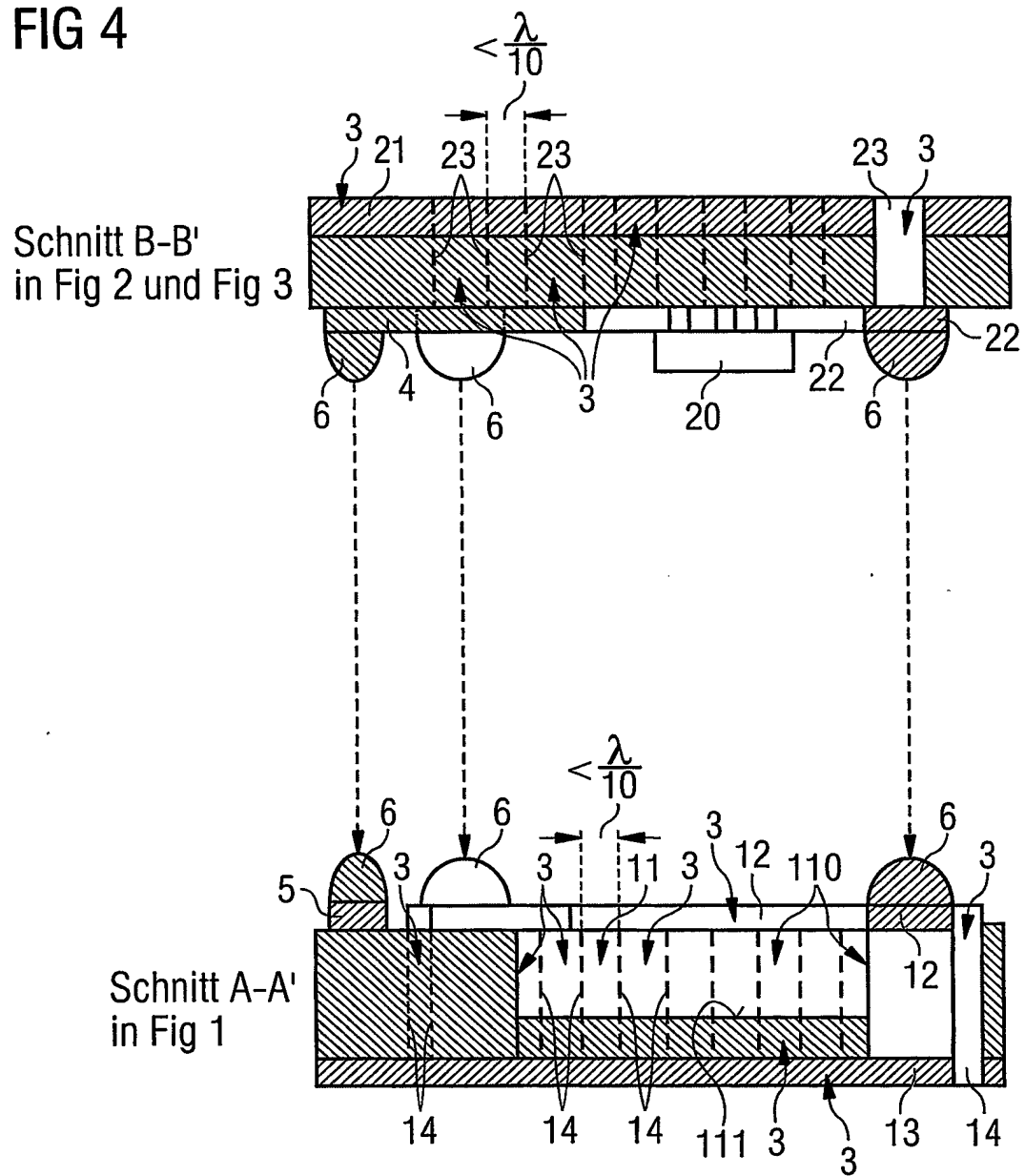
9. Abschirmung nach Anspruch 1, dadurch gekennzeichnet, dass der erste Kontaktbereich (12, 14) eine erste Abschirmfläche (12) aufweist, die von ersten Durchkon-

- taktierungen (14) in der ersten Leiterplatte (1) durchstoßen wird oder die mit den ersten Durchkontaktierungen (14) in der ersten Leiterplatte (1) verbunden ist und dass der zweite Kontaktbereich (22, 23) eine zweite Abschirmfläche (22) auf-
- 5 weist, die von zweiten Durchkontaktierungen (23) in der zweiten Leiterplatte (2) durchstoßen wird oder die mit den zweiten Durchkontaktierungen (23) in der ersten Leiterplatte (2) verbunden ist.
- 10 10. Abschirmung nach Anspruch 1 oder 9, dadurch gekennzeichnet, dass die Leiterplatten (1, 2) im Bereich der Kontaktbereich (12, 14, 22, 23) verbindungstechnisch zusammengefügt sind.



2/2

FIG 4



# INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP/051332

**A. CLASSIFICATION OF SUBJECT MATTER**  
IPC 7 H05K9/00 H05K1/14

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H05K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ, INSPEC, IBM-TDB, COMPENDEX

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	PATENT ABSTRACTS OF JAPAN vol. 1997, no. 06, 30 June 1997 (1997-06-30) - & JP 09 036512 A (JAPAN AVIATION ELECTRON IND LTD), 7 February 1997 (1997-02-07) paragraph '0012!; figure 4	1-10
A	EP 0 977 298 A (KYOCERA CORP) 2 February 2000 (2000-02-02) paragraph '0013! - paragraph '0026!; figures 1,2	1-10
A	PATENT ABSTRACTS OF JAPAN vol. 1998, no. 09, 31 July 1998 (1998-07-31) - & JP 10 112517 A (NGK SPARK PLUG CO LTD), 28 April 1998 (1998-04-28) abstract; figures 1,7	1-10
-/--		

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

### \* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

26 October 2004

Date of mailing of the international search report

08/11/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Dobbs, H

# INTERNATIONAL SEARCH REPORT

International Application No  
PCT/EP 04/051332

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 486 534 B1 (SRIDHARAN GURUSWAMI M ET AL) 26 November 2002 (2002-11-26) column 4, line 8 - line 19; figures 1-4	1-10
A	PATENT ABSTRACTS OF JAPAN vol. 2000, no. 25, 12 April 2001 (2001-04-12) -& JP 2001 237586 A (MATSUSHITA ELECTRIC IND CO LTD), 31 August 2001 (2001-08-31) abstract; figures 5,6	1-10
A	"PRINTED CIRCUIT BOARD PATTERN DESIGN METHOD FOR LOW EMI NOISE" IBM TECHNICAL DISCLOSURE BULLETIN, IBM CORP. NEW YORK, US, vol. 37, no. 6A, 1 June 1994 (1994-06-01), page 603, XP000455901 ISSN: 0018-8689 the whole document	1-10

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP 04/051332

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
JP 09036512	A	07-02-1997	NONE	
EP 0977298	A	02-02-2000	JP 2000049509 A	18-02-2000
			JP 2001015880 A	19-01-2001
			EP 0977298 A2	02-02-2000
			US 6483406 B1	19-11-2002
JP 10112517	A	28-04-1998	NONE	
US 6486534	B1	26-11-2002	EP 1393372 A2	03-03-2004
			JP 2004521496 T	15-07-2004
			WO 02067326 A2	29-08-2002
			US 2003017646 A1	23-01-2003
JP 2001237586	A	31-08-2001	NONE	



# INTERNATIONALER RECHERCHENBERICHT

Internationaler Aktenzeichen

PCT/EP 04/051332

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES  
IPK 7 H05K9/00 H05K1/14

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)  
IPK 7 H05K

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, PAJ, INSPEC, IBM-TDB, COMPENDEX

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	PATENT ABSTRACTS OF JAPAN Bd. 1997, Nr. 06, 30. Juni 1997 (1997-06-30) -& JP 09 036512 A (JAPAN AVIATION ELECTRON IND LTD), 7. Februar 1997 (1997-02-07) Absatz '0012!; Abbildung 4	1-10
A	EP 0 977 298 A (KYOCERA CORP) 2. Februar 2000 (2000-02-02) Absatz '0013! - Absatz '0026!; Abbildungen 1,2	1-10
A	PATENT ABSTRACTS OF JAPAN Bd. 1998, Nr. 09, 31. Juli 1998 (1998-07-31) -& JP 10 112517 A (NGK SPARK PLUG CO LTD), 28. April 1998 (1998-04-28) Zusammenfassung; Abbildungen 1,7	1-10

-/--

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

\*A\* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

\*E\* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

\*L\* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

\*O\* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

\*P\* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

\*T\* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

\*X\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

\*Y\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

\*Z\* Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

26. Oktober 2004

Absendedatum des internationalen Recherchenberichts

08/11/2004

Name und Postanschrift der internationalen Recherchenbehörde  
Europäisches Patentamt, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Dobbs, H

## C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 6 486 534 B1 (SRIDHARAN GURUSWAMI M ET AL) 26. November 2002 (2002-11-26) Spalte 4, Zeile 8 - Zeile 19; Abbildungen 1-4	1-10
A	----- PATENT ABSTRACTS OF JAPAN Bd. 2000, Nr. 25, 12. April 2001 (2001-04-12) -& JP 2001 237586 A (MATSUSHITA ELECTRIC IND CO LTD), 31. August 2001 (2001-08-31) Zusammenfassung; Abbildungen 5,6	1-10
A	----- "PRINTED CIRCUIT BOARD PATTERN DESIGN METHOD FOR LOW EMI NOISE" IBM TECHNICAL DISCLOSURE BULLETIN, IBM CORP. NEW YORK, US, Bd. 37, Nr. 6A, 1. Juni 1994 (1994-06-01), Seite 603, XP000455901 ISSN: 0018-8689 das ganze Dokument	1-10

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zu derselben Patentfamilie gehören

Internationale Aktenzeichen

PCT/EP 04/051332

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
JP 09036512	A	07-02-1997	KEINE		
EP 0977298	A	02-02-2000	JP	2000049509 A	18-02-2000
			JP	2001015880 A	19-01-2001
			EP	0977298 A2	02-02-2000
			US	6483406 B1	19-11-2002
JP 10112517	A	28-04-1998	KEINE		
US 6486534	B1	26-11-2002	EP	1393372 A2	03-03-2004
			JP	2004521496 T	15-07-2004
			WO	02067326 A2	29-08-2002
			US	2003017646 A1	23-01-2003
JP 2001237586	A	31-08-2001	KEINE		